

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

SEMICONDUCTOR DEVICE FOR HIGH-DENSITY MOUNTING

Patent Number: JP8279593

Publication date: 1996-10-22

Inventor(s): SANO MASANOBU

Applicant(s):: NEC CORP

Requested Patent: JP8279593

Application Number: JP19950078786 19950404

Priority Number(s):

IPC Classification: H01L25/10 ; H01L25/11 ; H01L25/18

EC Classification:

Equivalents:

Abstract

PURPOSE: To reduce the number of components and eliminate the necessity of forming a wiring pattern on a package by forming the top electrode by extending an electrode separated from a lead frame, which is connected to a semiconductor IC chip, in parallel to the top plane of a package which seals the semiconductor IC chip.

CONSTITUTION: A semiconductor device 100 seals a semiconductor IC chip 2 at the center of a package 1. The semiconductor IC chip 2 is connected to a lead frame 3 by bonding wire 9. Top electrodes 4 are separated from the lead frames 3a and 3f in the package 1 and are bent to extend in parallel to the package top plane 10. The component terminals 22 of an electronic component 20 are connected to the top electrode 4 by soldering. The external terminal 6 of the lead frame 3 is connected to the wiring pattern 7 of a printed board 5. Thus, the number of components of the semiconductor device 100 is not increased and the top electrode 4 is permitted to operate as a wiring pattern.

Data supplied from the **esp@cenet** database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-279593

(43)公開日 平成8年(1996)10月22日

(51)Int.Cl.⁶
H 0 1 L 25/10
25/11
25/18

識別記号 庁内整理番号

F I
H 0 1 L 25/14

技術表示箇所

Z

審査請求 有 請求項の数3 OL (全4頁)

(21)出願番号 特願平7-78786
(22)出願日 平成7年(1995)4月4日

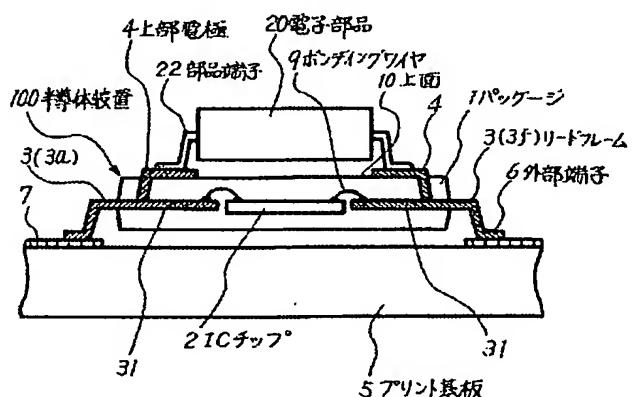
(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 佐野 昌宣
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 高密度実装を可能にした半導体装置

(57)【要約】

【目的】 部品点数を少なくして、実装を容易にした高密度実装半導体装置を提供する。

【構成】 半導体装置100内部の半導体ICチップ2に接続するリードフレーム3から分岐した上部電極4が、半導体ICチップを封止したパッケージ1の上面10に平行に延びて形成される。



【特許請求の範囲】

【請求項1】 半導体ICチップを絶縁材でパッケージングした半導体装置において、前記半導体ICチップに接続するリードフレームから分岐した電極が、前記半導体ICチップを封止した絶縁材のパッケージの上面に平行に延びて上部電極を形成したことを特徴とする半導体装置。

【請求項2】 前記上部電極と前記パッケージの上面には、電子部品の端子を挿入するための端子挿入穴が形成されたことを特徴とする請求項1に記載された半導体装置。

【請求項3】 前記リードフレームは、前記半導体ICチップと導電線によって接続され、一端がパッケージの外部に出て外部端子を形成したことを特徴とする請求項1及び2に記載された半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路チップをパッケージングした半導体装置に関し、特にパッケージに電子部品を搭載して接続できる半導体装置に関する。

【0002】

【従来の技術】 従来、半導体装置を実装したプリント基板の実装密度を向上するため、一部の電子部品を半導体装置のパッケージの表面に実装して、パッケージ内部の半導体集積回路チップ（ICチップ）とその電子部品を接続するものが特開平3-42864号公報に開示されている。

【0003】 図7はその公報に開示された従来の半導体装置の斜視図、図8は図7の断面図である。但し、図8には図7に使用される電子部品69が省略されている。図において、半導体装置本体50は、パッケージ（樹脂封止体）61の中に半導体素子60を封止している。半導体素子60は、半導体装置本体の外部端子62と金属細線63によって接続される。電極64は外部端子62とパッケージ61の中で接続され、パッケージ表面に対して垂直に延び、パッケージ上面に突き出ている。パッケージ61の上面には電子部品67、68と69が実装される。その実装のために、パッケージ61の上面に配線パターン65、66が形成され、その配線パターンにパッケージ上面から突き出した電極64が接続される。すなわち、電子部品67、68および69は、半導体素子60に電極64および配線パターン65、66を介して接続される。このように、半導体装置に他の電子部品が実装されることで、プリント基板実装の高密度化が実現される。

【0004】

【発明が解決しようとする課題】 しかしながら、前述した従来の半導体装置では、電子部品とパッケージ内の半導体部品とを接続するために、パッケージを貫通する電

極を外部電極に接続する必要があり、またパッケージ上面に配線パターンを形成しなければならないため、製造工程が多くなり高価になるという欠点がある。

【0005】 本発明の目的は、部品点数を少なくし、パッケージ上に配線パターンを形成する必要がない半導体装置を提供することにある。

【0006】

【課題を解決するための手段】 本発明によれば、半導体ICチップを絶縁材でパッケージングした半導体装置において、半導体ICチップに接続するリードフレームから分岐した電極が、半導体ICチップを封止したパッケージの上面に平行に延びて上部電極を形成したことを特徴とする半導体装置が得られる。

【0007】

【実施例】 次に、本発明の実施例について図面を参照して詳細に説明する。

【0008】 図1は本発明の実施例の半導体装置の平面図、図2は図1の半導体装置をプリント基板に実装したときのAA線断面図である。図において、半導体装置100は、半導体ICチップ（以下、単にICチップと称す）2をパッケージ1の中心に封止したものである。半導体ICチップ2は、複数のリードフレーム3にボンディングワイヤ9によって接続される。各リードフレーム3は、パッケージ1の内部ボンディングワイヤ9との接続部分からパッケージ側面に向かって水平に延びるボンディング部分31と、パッケージ1の側面を突き出てから折れ曲がった外部端子6とが連続して形成されている。

【0009】 複数のリードフレーム3のうち、リードフレーム3a, 3b, 3c, 3d, 3e, 3fの6本は、上部電極4と一緒に形成されている。図2及び図3に示すように、上部電極4は、パッケージ1の内部でリードフレーム3a～3fの途中から分岐しあつパッケージ上面10に向かって延びた分岐部30の延長上に形成され、途中で折れ曲がってパッケージ上面10に平行に延びている。

【0010】 図2に示すように、上部電極4には電子部品20の部品端子22が半田づけによって接続される。また、リードフレーム3の外部端子6は、プリント基板5の配線パターン7に接続される。したがって、電子部品20は、ICチップ2とプリント基板5の配線パターン7とに接続される。

【0011】 本実施例によれば、リードフレーム3a～3fとパッケージ上面に平行な上部電極4と一緒に形成されるので、半導体装置100の部品数は増えず、製造工程が増えない。また、上部電極4は、パッケージ上面に平行に延びるので、上部電極自体が配線パターンの役割を果たす。半導体装置100を製造する場合、パッケージ1の下半分にICチップ2と複数のリードフレーム3を載せてボンディングワイヤ9で接続し、その後、

パッケージ1の上半分を形成して封止する。パッケージ1は耐熱性の樹脂でモールドによって形成するのが望ましいが、樹脂以外の絶縁材でもよい。リードフレーム3とICチップ2との接続は、ボンディングワイヤ9による接続に限定せず、他の接続方法でも良い。上部電極4は、リードフレーム3のうちの6本に形成されたが、他のどのリードフレームに形成されても良い。

【0012】図4は本発明の第2の実施例の半導体装置の平面図、図5は図4の半導体装置をプリント基板に実装したときのB-B断面図である。図において、半導体装置200が第1の実施例の半導体装置100と違う点は、半導体装置200ではパッケージ上面10に電子部品21の端子23を挿入する端子挿入受け穴18が形成されていることと、そのパッケージ挿入受け穴18に対応して上部電極4に、図6に示すように端子挿入穴8が形成されていることである。電子部品21の端子23は、上部電極4の部品挿入穴8からパッケージ1の端子挿入受け穴18に挿入され、その後半田つけされる。

【0013】以上説明した実施例では、1つのリードフレームに対し1つの上部電極しか一体に形成されていないが、1つのリードフレームに複数の上部電極が一体に形成されても良い。

【0014】

【発明の効果】以上説明したように、本発明によれば、半導体装置内部の半導体ICチップに接続するリードフレームから分岐した上部電極が、半導体ICチップを封

止したパッケージの上面に平行に延びて形成されるので、半導体装置の部品点数を増やさずに高密度実装ができる、また、上部電極に電子部品を直接に実装できるので、パッケージ上に電子部品を実装するための配線パターンの形成が不要になるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体装置を示す図である。

【図2】図1の半導体装置をプリント基板に実装したときのA-A断面図である。

【図3】図2の半導体装置のリードフレームの接合を示す拡大斜視図である。

【図4】本発明の第2の実施例の半導体装置を示す図である。

【図5】図4の半導体装置をプリント基板に実装したときのB-B断面図である。

【図6】図5の半導体装置のリードフレームの接合を示す拡大斜視図である。

【図7】従来の半導体装置を示す斜視図である。

【図8】図7の半導体装置の断面図である。

【符号の説明】

100 半導体装置

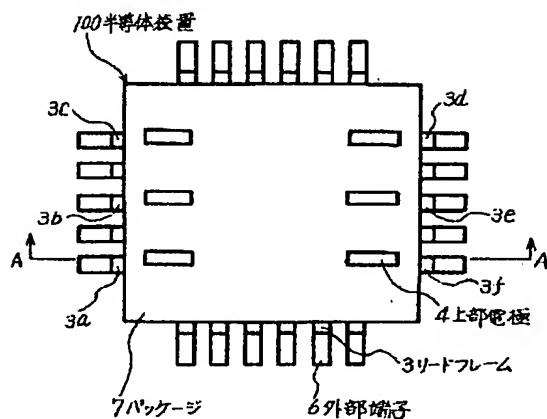
1 パッケージ

2 半導体ICチップ

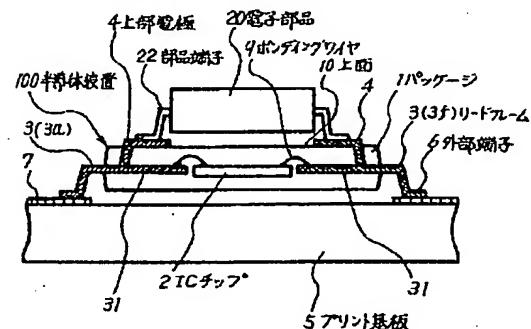
3 リードフレーム

4 上部電極

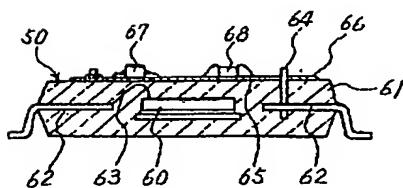
【図1】



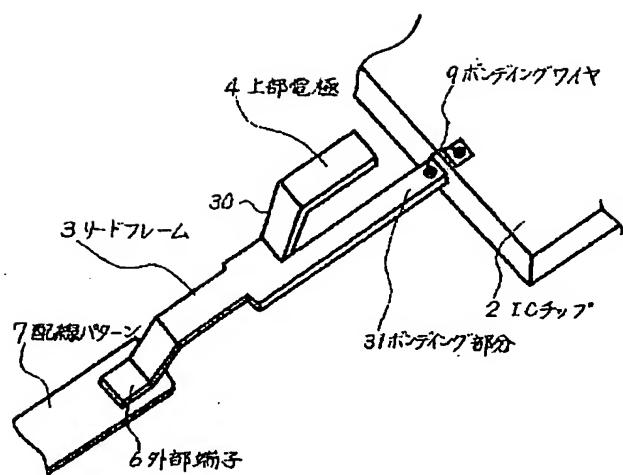
【図2】



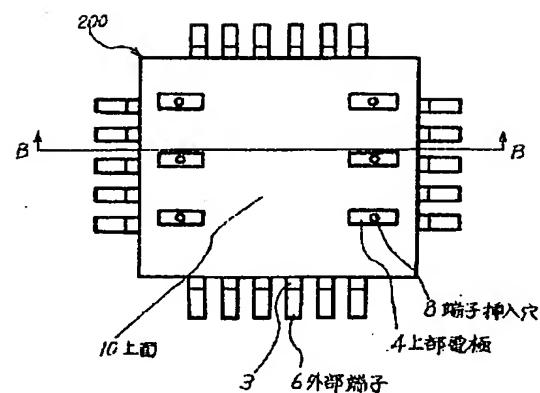
【図8】



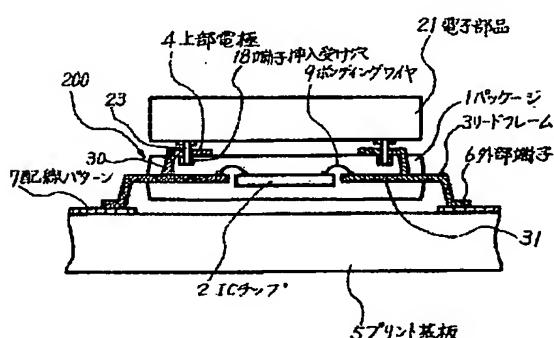
【図3】



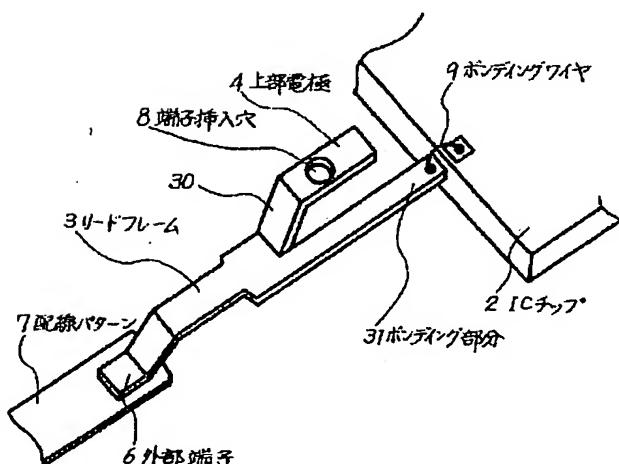
【図4】



【図5】



【図6】



【図7】

